

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

This Page Blank (uspto)

COMB FILTER SYSTEM FOR DECIMATING A SEQUENCE OF DIGITAL INPUT VALUES TO A SEQUENCE OF DIGITAL OUTPUT VALUES BY A NON-INTEGER FACTOR

Patent Number: WO0067375

Publication date: 2000-11-09

Inventor(s): MAGESACHER THOMAS (AT); CALDERA PETER (AT); GAZSI LAJOS (DE)

Applicant(s):: MAGESACHER THOMAS (AT); CALDERA PETER (AT); GAZSI LAJOS (DE); INFINEON TECHNOLOGIES AG (DE)

Requested Patent: DE19919575

Application Number: WO2000DE01349 20000428

Priority Number (s): DE19991019575 19990429

IPC Classification: H03H17/06

EC Classification: H03H17/06C

Equivalents:

Abstract

The invention relates to a comb filter system comprising an Nth-order integrator (10) on the input side, whose output signal is fed to at least three signal paths (20, 30, 40). Each signal path (20, 30, 40) is provided with a control device (100) having an adjustable delay stage (22, 32, 42), a consecutive decimation stage (24, 34, 44) and, on the output side, a differentiator stage (26, 36, 46). The output signals of the three signal paths (20, 30, 40) are fed to an interpolation system (60) at whose output the decimated sequence of digital output values (yj) can be retrieved. The interpolation system (60) always interpolates only between two values (yi, yi+k; yi+k, yi+2k).

Data supplied from the esp@cenet database - I2

This Page Blank (uspto)



DEUTSCHES
PATENT- UND
MARKENAMT

(12) **Patentschrift**
(10) **DE 199 19 575 C 1**

(5) Int. Cl. 7:
H 03 H 17/06
H 03 H 17/02

(21) Aktenzeichen: 199 19 575.7-35
(22) Anmeldetag: 29. 4. 1999
(43) Offenlegungstag: -
(45) Veröffentlichungstag:
der Patenterteilung: 11. 1. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(73) Patentinhaber:
Siemens AG, 80333 München, DE

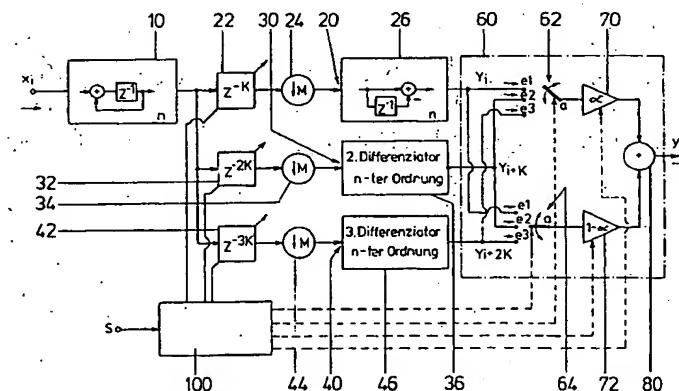
(72) Erfinder:
Gazsi, Lajos, Prof., 40239 Düsseldorf, DE; Caldera, Peter, Dipl.-Ing., Villach, AT; Magesacher, Thomas, Villach, AT

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE 197 41 922 A1
US 57 51 615 A
EP 06 95 032 A1

(54) Kammfilteranordnung zur Dezimation einer Folge von digitalen Eingangswerten in eine Folge von digitalen Ausgangswerten um einen nicht ganzzahligen Faktor

(57) Die Kammfilteranordnung weist einen eingangsseitigen Integrator (10) n-ter Ordnung auf, dessen Ausgang mindestens drei Signalpfade (20, 30, 40) zugeführt wird. Jeder Signalpfad (20, 30, 40) ist über eine Steuereinrichtung (100) mit einer einstellbaren Verzögerungsstufe (22, 32, 42), einer nachfolgenden Dezimationsstufe (24, 34, 44) und einer ausgangsseitigen Differentiatorstufe (26, 36, 46) versehen. Die Ausgänge der drei Signalpfade (20, 30, 40) werden einer Interpolationsanordnung (60) zugeführt, an deren Ausgang die dezimierte Folge von digitalen Ausgangswerten (y_i) abgreifbar ist. Die Interpolationsanordnung (60) interpoliert stets zwischen nur zwei Werten (y_i , y_{i+k} ; y_{i+k} , y_{i+2k}).



Beschreibung

Die Erfindung betrifft eine Kammfilteranordnung zur Dezimation einer Folge von digitalen Eingangswerten in eine Folge von digitalen Ausgangswerten um einen nicht ganzzahligen Faktor.

Zur Taktrückgewinnung für konventionelle Modem-Anwendungen oder sogenannte MDSL-Anwendungen ist oft eine Dezimation um einen nicht ganzzahligen Faktor nötig. Bei der Sigma-Delta-Analog-Digitalwandlung kommen meist Kammfilteranordnungen zur Dezimation zum Einsatz, wobei es eine Vielzahl von Implementierungsmöglichkeiten für solche Kammfilteranordnungen gibt.

Aus der DE 197 41 922 A1 ist ein Kammfilter aus in Reihe geschalteten Integratoren bekannt, denen ein digitaler Datenstrom hoher Abtastrate zugeführt ist, um einen digitalen Datenstrom niedriger Abtastrate zu liefern.

Die US 5,751,615 beschreibt ein mehrstufiges digitales Dezimationsfilter, mit dem $n/2$ Additionen durchgeführt werden können, wobei n die Anzahl der Bits in jedem Filterkoeffizienten darstellt. Beiden Filtern ist gemeinsam, dass sie nur eine Dezimation mit einem ganzzahligen Faktor erlauben.

Die EP 0 695 032 A1 beschreibt einen digitalen Abtastratenwandler mit einer ersten Abtastrate F und einer zweiten Abtastrate $F \times L/M$, wobei L/M ein nicht ganzzahliger Faktor ist.

Eine bekannte Kammfilteranordnung ist in Fig. 1 dargestellt. Allerdings ist die dort gezeigte Kammfilteranordnung lediglich zur Dezimation einer Folge von digitalen Eingangswerten x_i in eine Folge von digitalen Ausgangswerten y_j um einen ganzzahligen Faktor M geeignet. Hierfür verfügt die Schaltungsanordnung gemäß Fig. 1 über einen eingangsseitigen Integrator 10 n-ter Ordnung, einer nachfolgenden Dezimationsstufe 124 um den ganzzahligen Faktor M und einen ausgangsseitigen Differentiator 126, ebenfalls n-ter Ordnung.

Der Integrator 10 n-ter Ordnung weist n hintereinander geschaltete Stufen auf, wobei jede Stufe einen eingangsseitigen Addierer 12 umfasst, dem zwei Eingangssignale zugeführt werden, nämlich ein über eine Leitung 16 zurückgekoppeltes Signal und ein vom Signalpfad stammendes Signal, das in der ersten Stufe der digitale Eingangswert x_i ist. Der Ausgang des Addierers 12 ist mit einer Verzögerungsstufe 14 verbunden. Der Ausgang dieser Verzögerungsstufe 14 bildet bei einer nachfolgenden Stufe einmal das Eingangssignal für den Addierer 12 dieser nachfolgenden Stufe und zum anderen auch das über die Leitung 16 auf den zugeordneten Addierer 12 rückgekoppelte Signal. Für einen Integrator dritter Ordnung sind beispielsweise drei solche erläuterte Stufen mit jeweils einem Addierer 12, einem Verzögerungsglied 14 und einer Rückkopplungsschleife 16 notwendig.

Das Ausgangssignal eines solchen Integrators 10 n-ter Ordnung wird der Dezimationsstufe 124 zugeführt, die beispielsweise nur jeden eingehenden zehnten Abtastwert herausfiltert. Der Ausgang der Dezimationsstufe 124 ist mit dem bereits erwähnten Differentiator 126 verbunden, der ebenfalls entsprechend der Ordnung des Differentiators eine vorgegebene Anzahl von hintereinandergeschalteten Stufen aufweist. Diese Stufen weisen wiederum jeweils einen Addierer 128, eine Verzögerungsstufe 130 und eine Leitung 132 auf, sind jedoch im Gegensatz zu den Stufen des Integrators 10 anders verschaltet. Dem Addierer 128 werden wiederum zwei Eingangssignale zugeführt, nämlich zum einen das Signal auf der Leitung 132 des Signalpfades und das hierzu in der Verzögerungsstufe 130 verzögerte und invertierte Signal. Der Ausgang des Addierers 128 wird dann

dem einen Eingang des Addierers 128 einer nachfolgenden Stufe zugeführt und ebenfalls der dortigen Verzögerungsstufe 130. Zur Realisierung eines Differentiators dritter Ordnung sind drei solche hintereinander geschaltete Stufen notwendig.

Eine derartige Kammfilteranordnung ist geeignet, die Folge von digitalen Eingangswerten x_i durch einen ganzzahligen Faktor M , zum Beispiel 10, zu dezimieren.

Der Erfindung liegt die Aufgabe zugrunde, die in Fig. 1 beschriebene, bekannte Kammfilteranordnung so weiterzubilden, dass eine Dezimation der Folge von digitalen Eingangswerten x_i um einen nicht ganzzahligen Faktor möglich ist.

Diese Aufgabe wird durch eine Kammfilteranordnung mit den Merkmalen des Anspruchs 1 gelöst.

Weiterbildungen der Kammfilteranordnung sind Gegenstand der Unteransprüche.

Erfindungsgemäß ist demnach ein eingangsseitiger Integrator n -ter Ordnung vorgesehen, dessen Ausgang mindestens drei Signalpfade zugeführt wird. Jeder Signalpfad verfügt über eine Verzögerungsstufe mit unterschiedlich einstellbarer Verzögerung, eine nachfolgende Dezimationsstufe um einen ganzzahligen Faktor M und eine ausgangsseitige Differentiatorstufe zur Erzeugung von Zwischenausgangswerten. An den Ausgang der drei Signalpfade ist eine Interpolationsanordnung geschaltet, an deren Ausgang die um den nicht ganzzahligen Faktor dezimierten Folge von digitalen Ausgangswerten y_j abgreifbar ist.

Die Interpolationsanordnung ist so beschaffen, dass sie 30 stets zwischen zwei Zwischenausgangswerten, die an den drei Signalpfaden ausgangsseitig anliegen und einen Abstand von k/f aufweisen (f = Abtastrate und k = Verzögerungsfaktor), interpoliert. Zweckmäßigerweise handelt es sich bei der Interpolation um eine lineare Interpolation.

Erfindungsgemäß arbeiten die Differentiatorstufen der einzelnen Signalpfade mit einer um den Faktor M reduzierten Abtastrate, wodurch der Aufwand an Addierern und Verzögerungsgliedern vorteilhafterweise gering ist. Um die nicht ganzzahlige Abtastratenänderung zu erreichen, wird 40 erfindungsgemäß die Interpolation zwischen zwei durch jeweils die Signalpfade verzögerten Zwischenausgangswerte durchgeführt.

In einer Ausführungsform der Erfindung verfügt die Interpolationsanordnung über zwei Umschalteinrichtungen, deren drei Eingänge jeweils mit einem Ausgang der drei Differentiatorstufen verbunden sind und deren Ausgänge mit jeweils einem Verstärker verbunden sind. Darüber hinaus ist eine Additionsstufe vorgesehen zur Addition der Ausgangssignale der beiden Verstärker.

Eine weitere Ausbildung der Erfindung sieht eine Steuerung einrichtung zum Umschalten der Umschalteinrichtungen jeweils nach Maßgabe der beiden zu interpolierenden Zwischenausgangssignalwerten vor.

Eine andere Ausbildung der Erfindung sieht vor, dass die Interpolationsanordnung eine lineare Interpolation gemäß

$$y_j = \alpha \cdot y_{i+1} + (1 - \alpha) \cdot y_i$$

bzw.

$$y_j = \alpha \cdot y_{i+k} + (1 - \alpha) \cdot y_{i+2k}$$

durchgeführt wird. Dazu werden nur zwei Multiplikationen und eine Addition innerhalb der Interpolationsanordnung 65 auf der niedrigen Abtastrate benötigt. Nach einer vorgegebenen Anzahl solcher Interpolationsvorgänge wird, wie in den obigen Formeln angegeben, zwischen den beiden Wertepaaren (y_i, y_{i+k}) und dem Wertepaar (y_{i+2k}, y_{i+3k}) zur Inter-

polation umgeschaltet.

Sehr wesentlich bei der Kammfilteranordnung vorliegender Erfindung ist die Tatsache, dass lediglich zwei Wertepaare benötigt werden, um zu interpolieren.

Da bei der erfundungsgemäßen Kammfilteranordnung nach der Dezimationsstufe in den jeweiligen Signalpfaden n Differenziatoren vorgesehen sind, benötigt die Kammfilteranordnung n Schritte zum Einschwingen, so dass erst der $n+1$ -te Ausgangswert nach der Umschaltung in den Umschalteinrichtungen von der Eingangsfolge verwendet werden kann. Daher muss jede Differentiatorkette in den Signalpfaden bereits n Schritte bevor sie an den Ausgang geschaltet wird, eingephäst werden.

Von wesentlicher Bedeutung bei der erfundungsgemäßen Kammfilteranordnung ist die Tatsache, dass die Interpolation stets zwischen zwei Werten, die einen Abstand von $k \cdot T$ ($T = 1/f$, f = hohe Abtastrate) haben, erfolgt. Dadurch kann in jedem Fall k mal zwischen den Wertepaaren (y_i, y_{i+k}) interpoliert werden, ohne eine neue Stützstelle zu benötigen. Dies sind genau jene k Schritte, die eine Kette von k Differenziatoren benötigt, um einzuschwingen bzw. die man benötigt, um die Werte der k Register der Differenziatoren zu berechnen. Im nächsten Schritt kann dann der Ausgangswert der Differentiatorkette bereits verwendet werden.

Die Realisierung einer Kammfilteranordnung nach der Erfindung kann auf unterschiedlichste Art und Weise erfolgen. Der dritte Signalpfad kann beispielsweise durch eine separat aufgebaute Differentiatorkette entsprechender Logik zur Einphasung und Umschaltung realisiert werden. Es ist jedoch auch möglich, nur eine softwaremäßige Berechnung zu realisieren und die Register der Differentiatorkette entsprechend zu laden.

Die Kammfilteranordnung nach der Erfindung wird nachfolgend in Zusammenhang mit einem Ausführungsbeispiel anhand weiterer Figuren näher erläutert. Es zeigen:

Fig. 1 eine Kammfilteranordnung nach dem Stand der Technik,

Fig. 2 eine Kammfilteranordnung gemäß vorliegender Erfindung im Blockschaltbild und

Fig. 3 skizzenhaft Folgen von Eingangswerten, Zwischenausgangswerten und Ausgangswerten in der Schaltungsanordnung von Fig. 2 sowie die zugehörigen Interpolationswerte.

In den nachfolgenden Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezeichnungen gleiche Teile mit gleicher Bedeutung.

In Fig. 2 ist eine Kammfilteranordnung zur Dezimation einer Folge von digitalen Eingangswerten x_i in eine Folge von digitalen Ausgangswerten y_j um einen nicht ganzzahligen Faktor $M + \alpha$, wobei M eine positive ganze Zahl ist, also $M = 1, 2, 3, \dots$ usw., und $0 < \alpha < 1$. Die Anordnung weist einen eingangsseitigen Integrator 10 n -ter Ordnung auf, wie dieser beispielsweise in Zusammenhang mit Fig. 1 erläutert worden ist. Der Ausgang des Integrators 10 wird in drei Signalpfaden 20, 30, 40 aufgespalten. Der erste Signalpfad 20 weist eine Verzögerungsstufe 22 mit nachgeschalteter Dezimationsstufe 24 und einem nachgeschalteten Differenziator 26 auf. Die Dezimationsstufe 24 dezimiert die in der Verzögerungsstufe 22 verzögerte Folgen von Daten. Der Differenziator 26 ist von n -ter Ordnung. Am Ausgang des Differenziatoren 26 ist eine Folge von Zwischenausgangswerten y_i abgreifbar. Der Ausgang des Differenziatoren 26 ist mit zwei Eingangsklemmen e1 jeweils einer Umschalteinrichtung 62, 64 in Verbindung.

Der zweite Signalpfad 30 und der dritte Signalpfad 40 sind sehr ähnlich zum ersten Signalpfad 20 aufgebaut und weisen jeweils eine Verzögerungsstufe 32, 42 mit nachgeschalteter Dezimationsstufe 34, 44 und weiter nachgeschalt-

teten Differenziatoren 36 bzw. 46 auf. Am Ausgang des zweiten Differenziatoren ist eine Folge von Zwischenausgangswerten y_{i+k} und am Ausgang des dritten Differenziatoren eine Folge von Zwischenausgangswerten y_{i+2k} abgreifbar. Der Ausgang des zweiten Differenziatoren 36 ist mit zweiten Eingangsklemmen e2 der ersten Umschalteinrichtung 62 und der zweiten Umschalteinrichtung 64 verbunden. Der Ausgang des dritten Differenziatoren 46, der wie der erste Differenziator 26 und der zweite Differenziator 36 von n -ter Ordnung ist, ist mit einer dritten Eingangsklemme e3 der ersten Umschalteinrichtung 62 und einer dritten Eingangsklemme e3 der zweiten Umschalteinrichtung 64 in Verbindung. Die Verzögerungsstufen 22, 32 und 42 sind in ihrer Verzögerungszeit durch eine Steuereinrichtung 100 über ein Steuersignal S einstellbar.

In der Kammfilteranordnung von Fig. 2 verzögert die Verzögerungsstufe 22 um $k \cdot T$, die Verzögerungsstufe 32 um $2k \cdot T$ und die Verzögerungsstufe 42 um $3k \cdot T$ (wobei $T = 1/f$, f = Abtastrate und k = Grundverzögerungsfaktor).

Die beiden Umschalteinrichtungen 62, 64 sind so gestaltet, dass sie die an den Eingangsklemmen e1, e2 oder e3 anstehenden Signale an eine Ausgangsklemme a der jeweiligen Umschalteinrichtung 62, 64 schalten. Die Ausgangsklemme a der Umschalteinrichtung 62 ist mit einem ersten Verstärker 70 in Verbindung, welcher ausgangsseitig an eine Eingangsklemme eines Addierers 80 geschaltet ist. Die Ausgangsklemme a der Umschalteinrichtung 64 ist mit der Eingangsklemme eines zweiten Verstärkers 72 in Verbindung, dessen Ausgangsklemme mit einer zweiten Eingangsklemme des Addierers 80 verbunden ist. Am Ausgang des Addierers 80 ist eine Folge von Ausgangswerten y_j abgreifbar, die um einen nicht ganzzahligen Faktor gegenüber der Folge von Eingangsdaten x_i dezimiert ist. Die beiden Umschalteinrichtungen 62, 64, die beiden Verstärker 70, 72 und der Addierer 80 bilden eine Interpolationsanordnung 60.

Der nicht ganzzahlige Faktor ist beispielsweise $M + \alpha$, wobei M eine positive ganze Zahl ist, also 1, 2, 3 usw. und α = Verstärkungsfaktor des ersten Verstärkers 70. Der Verstärkungsfaktor des zweiten Verstärkers 72 ist dann $1 - \alpha$ gewählt.

Wie aus Fig. 2 weiter erkennbar ist durch die Steuereinrichtung 100 die Umschaltung der beiden Umschalteinrichtungen 62 und 64 sowie der Verstärkungsfaktor der beiden Verstärker 70 und 72 steuerbar.

Die Funktionsweise der in Fig. 2 dargestellten Schaltungsanordnung wird im Zusammenhang mit den in Fig. 3 dargestellten Folgen von Eingangs- und Ausgangswerten erläutert.

In Fig. 3 ist oben eine Folge von digitalen Eingangswerten x_i beispielhaft dargestellt. Die einzelnen Eingangswerte x_i haben einen Abstand von T zueinander.

Im darunter befindlichen Diagramm von Fig. 3 ist eine Folge von digitalen Werten dargestellt. Es ist angenommen, dass der ganzzahlige Faktor $M = 6$ ist. Die zugehörigen, aus der Folge von Eingangswerten x_i dezimierten Werte sind durch den Abstand $M \cdot T$ bestimmt. Zwischen diesen Werten befinden sich weitere Signalwerte, die durch die Verzögerung $k \cdot T$ bzw. $2k \cdot T$ vorgegeben sind.

Die sich hieraus ergebenden einzelnen Signalwerte werden vereinbarungsgemäß als Zwischenausgangswerte y_i , y_{i+k} und y_{i+2k} entsprechend ihrer Verzögerung bzw. Nichtverzögerung bezeichnet. Die zu interpolierenden Interpolationszeitpunkte sind in Fig. 3 durch Pfeile angegeben. Wie ersichtlich, befinden sich die Interpolationszeitpunkte stets zwischen zwei Zwischenausgangswerten, nämlich zwischen y_i und y_{i+k} einerseits bzw. zwischen y_{i+k} und y_{i+2k} andererseits.

Die in Fig. 2 dargestellte Interpolationsanordnung 60 um-

fasst die beiden Umschalteinrichtungen 62 und 64, die beiden Verstärker 70 und 72 sowie den Addierer 80. Die Steuereinrichtung 100 schaltet die beiden Umschalteinrichtungen 62 und 64 so um und wählt die Verstärkungsfaktoren der Verstärker 70 und 72 so, dass eine lineare Interpolation realisiert ist.

Die Steuereinrichtung 100 sorgt dafür, dass prinzipiell zwischen den Werten y_i und y_{i+k} linear interpoliert wird gemäß der Formel

$$y_j = \alpha \cdot y_{i+1} + (1 - \alpha) \cdot y_i$$

Hierzu werden lediglich zwei Multiplikationen und eine Addition auf der niedrigen Abtastrate benötigt. Nach k solcher Interpolationsvorgänge wird jedoch statt dem Wertepaar y_i, y_{i+k} das Wertepaar y_{i+k}, y_{i+2k} zur Interpolation benötigt.

Da der zweite Teil der in Fig. 2 dargestellten Kammfilteranordnung bestehend aus den jeweils n hintereinander geschalteten Differentiatorstufen 26, 36 bzw. 46 jedoch n Schritte zum Einschwingen benötigt, muss die Steuereinrichtung 100 dafür Sorge tragen, dass erst der $(n+1)$ -te Ausgangswert nach der Umschaltung der Eingangsfolge verwendet wird. Daher muss jede Differentiatorkette 13 n Schritte bevor sie an den Ausgang geschaltet wird, eingephast werden.

Bezugszeichenliste

10. Integrator	30
12 Addierer	
14 Verzögerungsstufe	
16 Leitung	
20 Signalpfad	
22 Verzögerungsstufe	35
24 Dezimationsstufe	
26 Differenziator	
30 Signalpfad	
32 Verzögerungsstufe	
34 Dezimationsstufe	40
36 Differenziator	
40 Signalpfad	
42 Verzögerungsstufe	
44 Dezimationsstufe	45
46 Differenziator	
60 Interpolationsanordnung	
62 Umschalteinrichtung	
64 Umschalteinrichtung	
70 Verstärker	50
72 Verstärker	
80 Additionsstufe	
100 Steuereinrichtung	
124 Dezimationsstufe	
126 Differenziator	
128 Addierer	55
130 Verzögerungsstufe	
132 Leitung	
x_i Eingangsdaten	
y_i Zwischenausgangssignalwerte	
y_j Ausgangswerte	60
$e1, e2, e3$ Eingangsklemmen	
a Ausgangsklemme	

Patentansprüche

1. Kammfilteranordnung zur Dezimation einer Folge von digitalen Eingangswerten (x_i) in eine Folge von digitalen Ausgangswerten (y_j) um einen nicht ganzzahligen Faktor ($M + \alpha$), wobei M eine positive ganze Zahl ($M = 1, 2, 3, \dots$) und $0 < \alpha < 1$ ist, mit einem eingangsseitigen Integrator (10) n -ter Ordnung, dessen Ausgang mindestens drei Signalpfaden (20, 30, 40) zugeführt wird, wobei jeder Signalpfad (20, 30, 40) eine einstellbare Verzögerungsstufe (22, 32, 42) mit unterschiedlich einstellbarer Verzögerung $m \cdot k$ (mit $m = 1, 2, 3$ und $k = \text{Verzögerungsfaktor}$), eine nachfolgende Dezimationsstufe (24, 34, 44) um den Faktor M und eine ausgangsseitige Differentiatorstufe (26, 36, 46) zur Erzeugung von Zwischenausgangswerten (y_i, y_{i+k}, y_{i+2k}) aufweist, welche mit einem Eingang einer Interpolationsanordnung (60), an deren Ausgang die dezimierte Folge von digitalen Ausgangswerten (y_j) abgreifbar ist, verbunden sind.

gen Faktor ($M + \alpha$), wobei M eine positive ganze Zahl ($M = 1, 2, 3, \dots$) und $0 < \alpha < 1$ ist, mit einem eingangsseitigen Integrator (10) n -ter Ordnung, dessen Ausgang mindestens drei Signalpfaden (20, 30, 40) zugeführt wird, wobei jeder Signalpfad (20, 30, 40) eine einstellbare Verzögerungsstufe (22, 32, 42) mit unterschiedlich einstellbarer Verzögerung $m \cdot k$ (mit $m = 1, 2, 3$ und $k = \text{Verzögerungsfaktor}$), eine nachfolgende Dezimationsstufe (24, 34, 44) um den Faktor M und eine ausgangsseitige Differentiatorstufe (26, 36, 46) zur Erzeugung von Zwischenausgangswerten (y_i, y_{i+k}, y_{i+2k}) aufweist, welche mit einem Eingang einer Interpolationsanordnung (60), an deren Ausgang die dezimierte Folge von digitalen Ausgangswerten (y_j) abgreifbar ist, verbunden sind.

2. Kammfilteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass durch die Interpolationsanordnung (60) stets zwischen zwei Zwischenausgangssignalwerten (y_i, y_{i+k}, y_{i+2k}), die einen Abstand von k/f aufweisen (mit $f = \text{Abtastrate}$), interpoliert wird.

3. Kammfilteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass durch die Interpolationsanordnung (60) eine lineare Interpolation durchführbar ist.

4. Kammfilteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Interpolationsanordnung (60) zwei Umschalteinrichtungen (62, 64) aufweist, deren Eingänge ($e1, e2, e3$) jeweils mit einem Ausgang der Differentiatorstufen (26, 36, 46) verbunden sind und deren Ausgänge (a) mit jeweils einem Verstärker (70, 72) verbunden sind, dass eine Additionsstufe (80) vorgesehen ist zur Addition der Ausgangssignale der beiden Verstärker (70, 72), und dass am Ausgang der Additionsstufe (80) die Folge der dezimierten digitalen Ausgangswerte (y_j) abgreifbar ist.

5. Kammfilteranordnung nach Anspruch 4, dadurch gekennzeichnet, dass eine Steuereinrichtung (100) vorgesehen ist zum Umschalten der Umschalteinrichtungen (62, 64) nach Maßgabe der zu interpolierenden zwei Zwischenausgangswerte (y_i, y_{i+k}, y_{i+2k}).

6. Kammfilteranordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass der erste Verstärker (70) einen Verstärkungsfaktor (α) und der zweite Verstärker (72) einen Verstärkungsfaktor ($1 - \alpha$) aufweist.

7. Kammfilteranordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass eine Steuereinrichtung (100) vorgesehen ist, durch welche die Verzögerungen $m \cdot k$ der Verzögerungsstufen (22, 32, 42) einstellbar sind.

8. Kammfilteranordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Verzögerungen $k \cdot m$ der einzelnen Verzögerungsstufen (22, 32, 42) zueinander um ein ganzzahliges Vielfaches unterschiedlich zueinander gewählt sind.

9. Kammfilteranordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass $m = n$ ist.

10. Kammfilteranordnung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die Kammfilteranordnung durch einen Mikroprozessor realisiert ist, welchem die digitalen Eingangswerte (x_i) als Eingangsdaten zuführbar sind und an dessen Ausgang die digitalen Ausgangswerte (y_j) abgreifbar sind.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

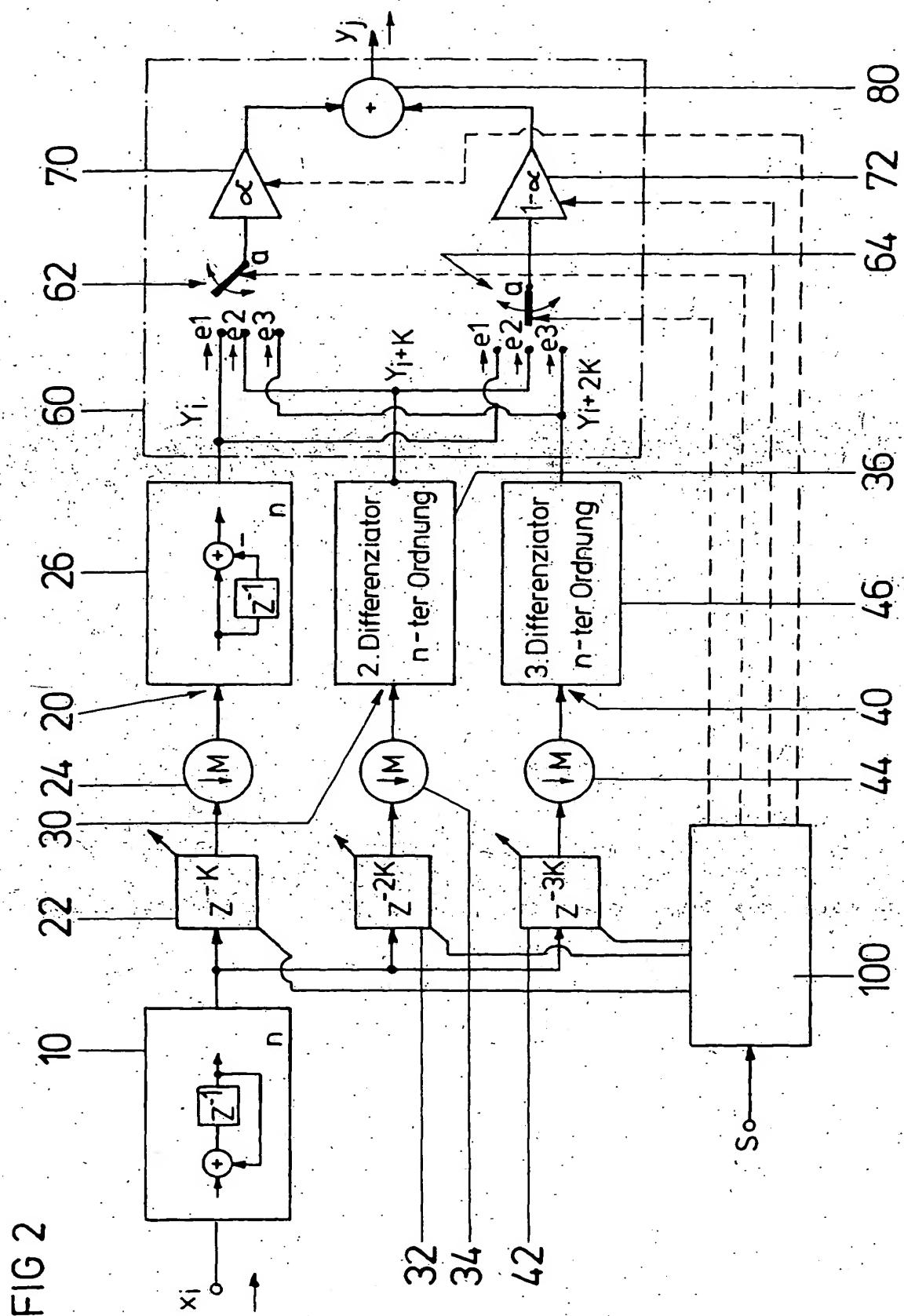


FIG 1 Stand der Technik

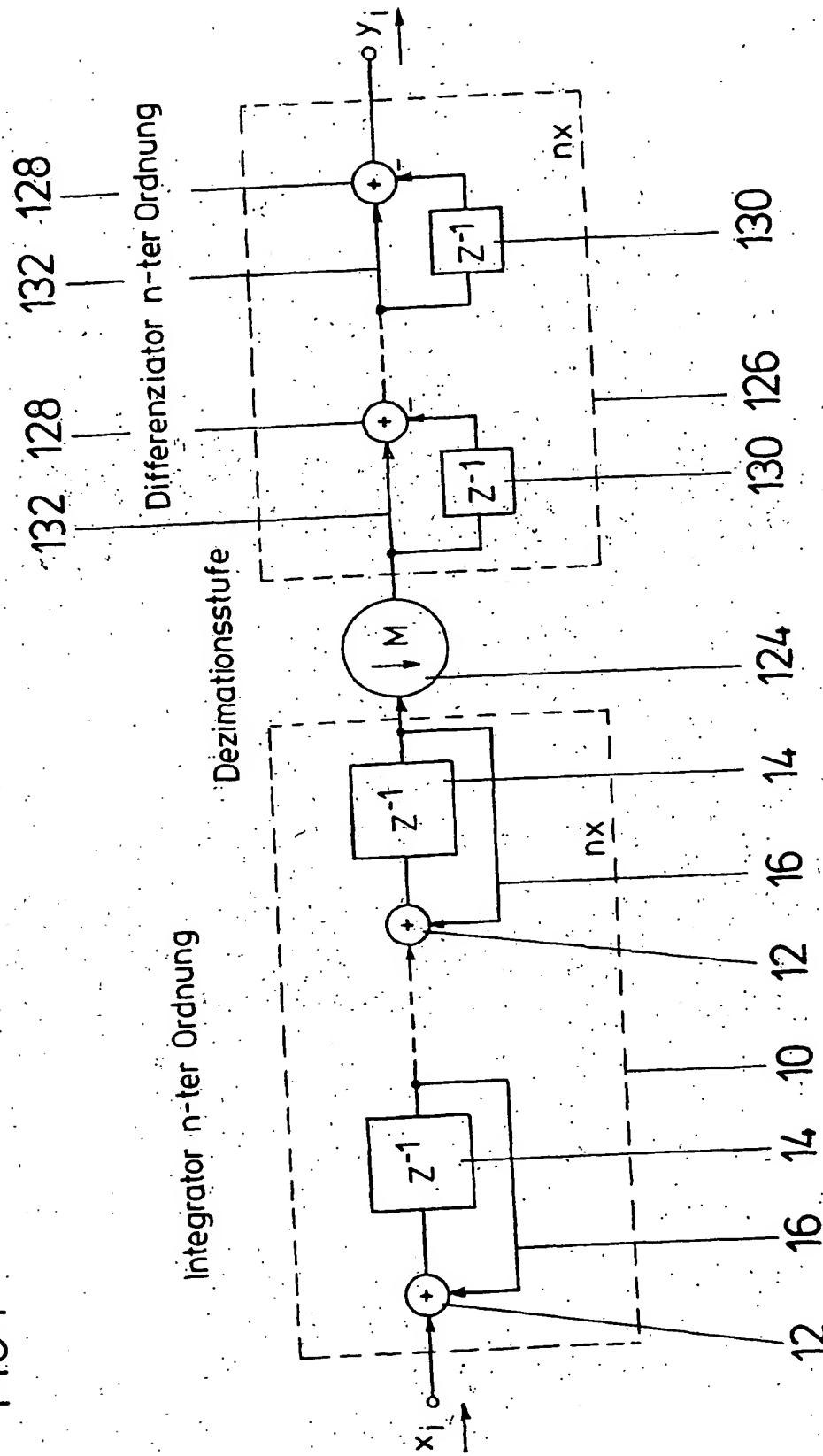


FIG 3

